

1/3/7 (Item 7 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

009859491 **Image available**

WPI Acc No: 1994-139348/ 199417

XRFX Acc No: N94-201375

Thin film transistor gate structure with three-dimensional multichannel structure for ULSI circuits - has channel regions in a given area greatly increased to provide large channel conductance, increasing ON currents and decreasing threshold voltage

Patent Assignee: SANSEI DENSHI KK (SANS-N); SAMSUNG ELECTRONICS CO LTD
(SMSU)

Inventor: HAN J; KIM C; KIM W

Number of Countries: 003 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6085256	A	19940325	JP 9327830	A	19930217	199417 B
US 5338959	A	19940816	US 9340016	A	19930330	199432
KR 9509804	B1	19950828	KR 9211367	A	19920627	199845
KR 9509797	B1	19950828	KR 9211366	A	19920627	199845
KR 9509802	B1	19950828	KR 925291	A	19920330	199845

Priority Applications (No Type Date): KR 9211367 A 19920627; KR 925291 A 19920330; KR 9211366 A 19920627

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 6085256	A		7	H01L-029/784	
US 5338959	A		8	H01L-029/78	
KR 9509804	B1			H01L-029/786	
KR 9509797	B1			H01L-029/786	
KR 9509802	B1			H01L-029/786	

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085256

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 05-027830

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 17.02.1993

(72)Inventor : HAN JEONGIN
KIM CHULSOO
KIM WON-KUN

(30)Priority

Priority number : 92 9205291 Priority date : 30.03.1992 Priority country : KR
92 9211366 27.06.1992
92 9211367 27.06.1992 KR

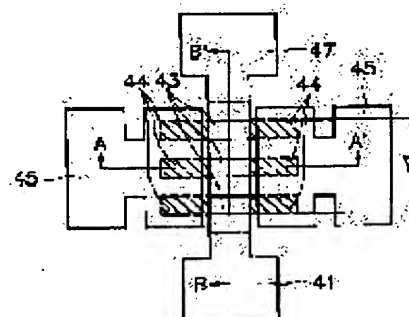
KR

(54) THIN-FILM TRANSISTOR WITH THREE-DIMENSIONAL MULTI-CHANNEL STRUCTURE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide a thin-film transistor with a three-dimensional multi-channel structure for improving the channel conductance and the current-driving capacity of a polycrystalline silicon thin film transistor.

CONSTITUTION: A semiconductor layer 44 in a state of ohmic contact with a source electrode and a drain electrode 45 is formed between the electrodes. The semiconductor layer is constituted of a number of sub semiconductor layers comprising a number of silicon strips. In a number of sub semiconductor layers, each gate insulation film surrounds a front surface. Further, a gate 41 surrounds the outside of the gate insulation film, so that the entire surface layer of each sub semiconductor layer surrounded by the gate electrode is provided at a channel region 43.



LEGAL STATUS

[Date of request for examination] 25.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2572003

[Date of registration] 24.10.1996

[Number of appeal against examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 8 5 2 5 6

(43) 公開日 平成 6 年 (1994) 3 月 25 日

(51) Int. Cl. ⁵

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H01L 29/78

311

G

9056-4M

311

H

審査請求 有 請求項の数 18 (全 7 頁)

(21) 出願番号 特願平 5 - 2 7 8 3 0

(22) 出願日 平成 5 年 (1993) 2 月 17 日

(31) 優先権主張番号 9 2 P 5 2 9 1

(32) 優先日 1992 年 3 月 30 日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 9 2 P 1 1 3 6 6

(32) 優先日 1992 年 6 月 27 日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 9 2 P 1 1 3 6 7

(32) 優先日 1992 年 6 月 27 日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘 3 洞 4 1
6

(72) 発明者 韓 正仁

大韓民国ソウル特別市道峰區雙門洞三益セ
ラミックアパート 102 棟 809 号

(72) 発明者 金 哲守

大韓民国京畿道水原市勸善區遠川洞遠川住
公アパート 105 棟 1201 号

(72) 発明者 金 元根

大韓民国仁川直轄市南區朱安 2 洞 560 -
31

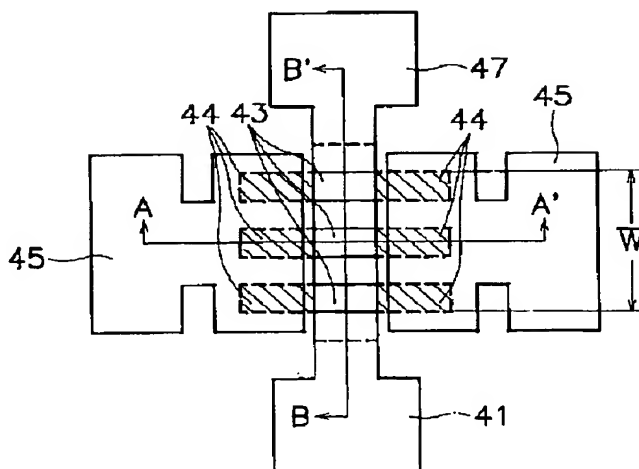
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 三次元マルチチャンネル構造を有する薄膜トランジスタおよびその製造方法

(57) 【要約】 (修正有)

【目的】 多結晶シリコン薄膜トランジスタのチャンネルコンダクタンスおよび電流駆動能力を向上することができる三次元マルチチャンネル構造を有する薄膜トランジスタおよびその製造方法を提供する。

【構成】 ソース電極とドレイン電極 45 との間に、これら電極とそれぞれオーミックコンタクトする半導体層 44 が形成されている。半導体層は、多数のシリコンストリップからなる多数のサブ半導体層で構成されている。多数のサブ半導体層は、それぞれゲート絶縁膜が前面を取囲んでいる。さらに、ゲート絶縁膜の外側にはゲート 41 が取囲んでいるので、ゲート電極で取囲んだ各サブ半導体層の全表層がチャンネル領域 43 に提供される。



【特許請求の範囲】

【請求項 1】 基板上に所定間隔をもって対向形成されたソースおよびドレイン電極と、

それぞれの両端が前記ソースおよびドレイン電極とオーミックコンタクトされ、並列に配置された多数のサブ半導体層からなる半導体層と、

前記各サブ半導体層の表面を取囲むゲート絶縁層と、

前記各ゲート絶縁層を取囲むゲート電極とから構成されることを特徴とする、三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 2】 前記ゲート電極は、

上部ゲート電極と下部ゲート電極とからなり、

前記ゲート絶縁層は相互連結されており、

前記ゲート絶縁層により上部、下部ゲート電極が分離されることを特徴とする、請求項 1 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 3】 前記ゲート電極が一体となることを特徴とする、請求項 1 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 4】 前記ゲート電極で取囲まれた各サブ半導体層の全表面が、チャンネル領域として提供されることを特徴とする、請求項 1 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 5】 前記サブ半導体層の断面が、多角形および円形から選ばれる 1 つの形状であることを特徴とする、請求項 4 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 6】 前記サブ半導体層の厚さが、有効チャンネル厚さよりさらに厚いことを特徴とする、請求項 4 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 7】 前記サブ半導体層の厚さが、有効チャンネル厚さ程度に薄いことを特徴とする、請求項 4 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 8】 前記半導体層は、多結晶シリコンで構成されることを特徴とする、請求項 1 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 9】 前記基板が、ガラス、石英、非晶質シリコンおよび結晶質シリコンから選ばれる 1 つの物質からなることを特徴とする、請求項 1 記載の三次元マルチチャンネル構造を有する薄膜トランジスタ。

【請求項 10】 基板上に多結晶シリコンを蒸着する段階と、

前記蒸着された多結晶シリコンに、所定の深さでお互いに並列に配置され長さ方向に延長された多数のトレンチをエッチングにより形成し、前記多結晶シリコンの表面を熱酸化させてトレンチ表面に絶縁層を形成する段階と、

前記トレンチ内に多結晶シリコンが詰められるよう、多

結晶シリコンを全面的に蒸着する段階と、

前記蒸着された多結晶シリコンのうち、トレンチ部分にのみ残るようにエッチングにより前記多結晶シリコンを除去して、多数の多結晶シリコンストリップを形成する段階と、

残された多結晶シリコンストリップの全表面を絶縁層で取囲むよう、前記露出された多結晶シリコンストリップを所定の厚さで熱酸化する段階と、

前記段階までで生じた構造上に多結晶シリコンを蒸着する段階と、

前記各多結晶シリコンストリップの両端と接続するソースおよびドレイン電極を形成する段階とを備えることを特徴とする、三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 11】 前記絶縁層の外部を取囲む多結晶シリコンは、不純物がドーブされて導電性を有しゲートとして作用することを特徴とする、請求項 10 記載の三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 12】 前記多結晶シリコンをエッチングした後、露出された絶縁層を除去する段階をさらに含むことを特徴とする、請求項 10 記載の三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 13】 前記多結晶シリコンストリップを熱酸化した後、多結晶シリコンストリップを取囲んでいる絶縁層を除いた残りの絶縁層を除去する段階をさらに含んで、前記残された絶縁層を取囲んだ多結晶シリコンが一体となすようにしたことを特徴とする、請求項 10 記載の三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 14】 前記ゲート電極で取囲んだ多数の多結晶シリコンストリップの全表面が、チャンネル領域として提供されることを特徴とする、請求項 10 記載の三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 15】 前記各多結晶シリコンストリップの断面は多角形であることを特徴とする、請求項 14 記載の三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 16】 前記各多結晶シリコンストリップの厚さが、有効チャンネル厚さよりさらに厚いことを特徴とする、請求項 14 記載の三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 17】 前記各多結晶シリコンストリップの厚さが、有効チャンネル厚さ程度に薄いことを特徴とする、請求項 14 記載の三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法。

【請求項 18】 前記基板が、ガラス、石英、非晶質シリコンおよび結晶質シリコンから選ばれる 1 つの物質からなることを特徴とする、請求項 10 記載の三次元マル

10

20

30

40

50

チチャンネル構造を有する薄膜トランジスタの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、三次元チャンネル構造を有する高速多結晶シリコン薄膜トランジスタに関するものであり、より詳しくは、チャンネル領域の半導体として用いる多結晶シリコン膜がゲート内に四方が完全に取囲まれる三次元チャンネル構造を有するようになり、超高速動作が求められる未来の超大規模集積回路（ULSI）素子に有用な高速薄膜トランジスタおよびその製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】薄膜トランジスタ（以下、“TFET”という）は、平板液晶表示装置（以下、“LCD”という）、イメージセンサ、複写機、プリンタおよびスキャナ等の大面積表示装置駆動回路のスイッチング素子として適用されている。

【 0 0 0 3 】最近、高品位テレビジョン等の新しい先端映像機器が開発されるにしたがい、平板表示装置に対する要求が台頭している。LCDは、平板表示装置の代表的な技術として、EL（electro luminescence）素子、VFD（vacuum fluorescent display）、プラズマディスプレイ等が解決できないカラー化、低電力化、および高速化などの問題を有していない。

【 0 0 0 4 】このLCDは、受動形および能動形の2つに分けられるが、能動形LCDは、各画素一々を薄膜トランジスタのような能動素子が制御するようになっていて、速度、視野角、およびコントラスト比において、受動形LCDよりずっと優れており、100万画素以上の解像度を必要とする高品位テレビジョンに最も適合した表示装置と考えられている。これにしたがい、多結晶シリコン薄膜トランジスタの重要性が台頭してきて、これに対する研究開発が積極的に行なわれている。

【 0 0 0 5 】

【発明が解決しようとする課題】既存のLCD駆動方式中の1つである単結晶シリコンFET方式は、単結晶シリコンFETを大面積上に作り難く、ガラスのような絶縁基板上に形成できないので、その応用分野が、メモリ素子および商業用ICなどにのみ限って用いられる。一方、多結晶シリコン薄膜トランジスタは、平板表示装置、イメージセンサ等単結晶シリコンFETを形成しにくい用途にまで、その応用分野を拡大することができる。

【 0 0 0 6 】チャンネル領域内の半導体として、多結晶シリコン膜を用いた多結晶シリコン薄膜トランジスタ技術は、高電圧が必要な未来のULSIに適合する。

【 0 0 0 7 】しかしながら、多結晶シリコンTFETは、単結晶シリコン基板上に製造されたFETに比べ、寄生容量、すなわち、漏洩電流値が非常に大きいという短所

がある。その理由は、TFETにおいては、絶縁基板上に積層された数百Å程度の非常に薄い半導体薄膜を用いるので、チャンネル部に誘起されている電子がゲートオフの際、単結晶FETのようにシリコン基板に拡散、再結合して消滅することがなく、誘起電子の大部分がドレインに吸収されるためである。

【 0 0 0 8 】さらに、チャンネルにおけるキャリア移動度もさらに低いため、駆動電流、すなわち、 I_{on} 値が小さくなるという短所もある。

【 0 0 0 9 】図1に示すような従来の逆スタガ型TFETは、ガラスのような絶縁基板10上にゲート電極11を形成し、このゲート電極11をゲート絶縁膜12で覆い、ゲート絶縁膜12上に半導体層13を形成し、チャンネル領域を除いた半導体層13の左右側上にオーミックコンタクト層14を介在してソースおよびドレイン電極15を形成してなるものである。

【 0 0 1 0 】図2に示す従来の正スタガ型TFETは、逆スタガ型TFETとは反対に、ゲート電極25がゲート絶縁層24を介在して半導体層23上に位置し、半導体層23の左右にオーミックコンタクト層22を介在して前記ゲート電極25と位置合わせされて、絶縁基板20上にソースおよびドレイン電極21が形成されている。

【 0 0 1 1 】図1および図2に示す従来の単一ゲート電極を有するTFETは、前述のような問題点のみならず、チャンネルコンダクタンスが低いという短所を有している。

【 0 0 1 2 】前述のような問題点を解決するための従来の技術であって、ゲートを上部および下部においたダブルゲート多結晶シリコンMOSFETと、ゲートを2つ並んでおいたデュアルゲート構造を採用した薄膜トランジスタが提案された。

【 0 0 1 3 】従来、ダブルゲート構造と関連ある例は、“Double-Gate Polysilicon MOSFET”（Extended Abstracts of 22nd Conference on SSDM, 1990, pp. 393~396）と題された論文に開示されている。

【 0 0 1 4 】図3に、前記ダブルゲート多結晶シリコンMOSFETの断面構造を示す。また、図4に、ゲート電圧V_gとトランスコンダクタンスg_mとの関係を、ゲート構造にしたがい比較した結果を示す。

【 0 0 1 5 】図3に示すように、ダブルゲート構造のMOSFETは、絶縁層39が蒸着されたシリコン基板30の上部にある多結晶シリコン膜33が、下部ゲート31と上部ゲート36との間の中間にゲート絶縁層32、35を介在した形態で構成されている。すなわち、チャンネル領域の半導体として用いる多結晶シリコン膜33の上部および下部に、それぞれゲートを形成することにより、ソース34からドレイン34に至る電流通路を2倍に拡張させたものである。このようにすることにより、図4に示すように、ゲートが1つである通常の単一ゲートMOSFETに比べ、トランスコンダクタンスg_m

、が2倍程度増加することがわかる。

【0016】しかしながら、ダブルゲート型FETは、集積度を向上させるため所用面積を縮めようとする、それに比例してチャンネル領域も減少するので、チャンネルコンダクタンスも減少するようになる。

【0017】さらに、前述のような特性を得るため、ダブルゲートの間の多結晶シリコン膜33は100Å程度の超薄膜厚さに制限しなければならないので、高電圧および高電流を要する未来のULSIには大きい障害になる。同様に、高電圧を加えられないことは、周辺回路との一体化を指向するLCDにおいても、大きい欠点である。

【0018】一方、チャンネル領域に半導体として再結晶化された多重ストリップポリシリコン膜を用いた、石英基板上に高耐圧および大きいトランスコンダクタンスを有するポリシリコン薄膜トランジスタが、“High-Voltage Poly-Si TFT's with Multichannel Structure”という名称で、“IEEE TRANSACTIONS ON ELECTRON DEVICE, VOL. 35, pp. 2363 ~ 2367, DEC. 1988”に、タカシ ウナガミにより発表された。

【0019】前記TFTは、マルチチャンネル構造を採用しているが、各ストリップ毎に一面のチャンネルを有する構造であるため、チャンネルコンダクタンスおよび電流駆動能力を極大化できないという短所があった。

【0020】さらに、未来のULSIを実現するため、プレーナトランジスタのチャンネルの長さばかりでなく、チャンネル幅の縮小は非常に重要である。しかし、チャンネルの長さの減少は、たとえば、ホットキャリア誘導特性の低下、およびショートチャンネル効果によるしきい電圧の低下などの深刻な問題を起こす。しかも、チャンネル幅の減少は、フィールド隔離エッジにおいての強い電界のため現れるホットキャリア誘導特性の低下および電流駆動力の低下をもたらす。このような問題が、未来のULSIのためのプレーナトランジスタのスケーリング制限を誘導している。

【0021】したがって、本発明の目的は、前述のような従来の技術の問題点を解決するため、高いチャンネルコンダクタンスを有する、改善された三次元マルチチャンネル構造を有する薄膜トランジスタを提供することにある。

【0022】さらに、本発明の目的は、チャンネルの電流通路を極大化させることにより、高い駆動電流を要するULSIおよび周辺駆動回路との一体化を指向するLCDなどに有用な、三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法を提供することにある。

【0023】

【課題を解決するための手段】前記目的を達成するため、本発明は、基板上に所定間隔をもって対向形成されたソースおよびドレイン電極と、それぞれの両端がソースおよびドレイン電極とオーミックコンタクトされ、並

列に配置された多数のサブ半導体層からなる半導体層と、各サブ半導体層の表面を取囲むゲート絶縁層と、各ゲート絶縁層を取囲むゲート電極とから構成されることを特徴とする、三次元マルチチャンネル構造を有する薄膜トランジスタを提供する。

【0024】さらに、本発明は、基板上に低圧化学気相蒸着法により多結晶シリコンを蒸着する段階と、蒸着された多結晶シリコンに、所定の深さでお互いに並列に配置され、長さ方向に延長された多数のトレンチを、反応性イオンエッチングにより形成し、多結晶シリコンの表面を熱酸化してトレンチ表面に絶縁層を形成する段階と、トレンチ内に多結晶シリコンが詰められるよう、低圧化学気相蒸着法により多結晶シリコンを全面的に蒸着する段階と、蒸着された多結晶シリコンのうち、トレンチ部分にのみ残るようにフォトリソエッチングにより多結晶シリコンを除去して、多数の多結晶シリコンストリップを形成する段階と、残された多結晶シリコンストリップの全表面を絶縁層で取囲むよう、露出された多結晶シリコンストリップを所定の厚さで熱酸化する段階と、結果的に生じた構造上に多結晶シリコンを蒸着する段階と、各多結晶シリコンストリップの両端と接続するソースおよびドレイン電極を形成する段階とを備えることを特徴とする、三次元マルチチャンネル構造を有する薄膜トランジスタの製造方法を提供する。

【0025】

【作用】本発明による薄膜トランジスタは、キャリアが走行するチャンネル領域が多数のチャンネルで形成されており、各チャンネルは三次元構造を有する。すなわち、チャンネル領域をなす多数のサブ半導体層、すなわち、多結晶シリコン膜の上下左右の表面が、ゲート絶縁膜を介在してゲートで取囲まれた構造を有している。

【0026】したがって、制限された占有面積内において、有効なチャンネル領域（電流通路）が従来に比べ大きく増加するので、高いチャンネルコンダクタンスを有するようになる。その結果、オン電流が増加し、しきい電圧が減少する。

【0027】

【実施例】以下、本発明の好ましい実施例を、添付図面に基づいて詳細に説明する。

（実施例1）図5は、本発明の実施例1に従う三次元マルチチャンネルTFTの平面図である。図において、41は下部ゲート電極、43はサブ半導体層のチャンネル領域、44は半導体層のオーミックコンタクト領域、45はソースおよびドレイン電極、47は上部ゲート電極である。

【0028】図6は、図5のA-A'線断面図であり、図7は、図5のB-B'線断面図である。42および46は、ゲート絶縁膜である。

【0029】図5ないし図7を参照すると、本発明の三次元マルチチャンネルTFTは、水平方向に延長され垂

直方向には所定間隔をもって並んで配列された、複数のストリップ状サブ半導体層 4 3、4 4 を有する。したがって、サブ半導体層の各チャンネル領域 4 3 は、図 6 および図 7 に示すように、下部ゲート電極 4 1 と上部ゲート電極 4 7 により、上下左右面いずれもが取囲まれるようになっている。これによって、ゲート電極と隣接するサブ半導体層の上下左右面いずれにもチャンネルが形成されるので、高いコンダクタンスが達成できる。

【0030】たとえば、チャンネル長さが L 、チャンネル幅が W であると、TF T のチャンネル電流は、チャンネル断面積 A に比例し、チャンネル長さ L に反比例する。ここで、チャンネル断面積 A は、チャンネル幅 W とチャンネル厚さ t との積で計算される。

【0031】したがって、シングルゲート型 TF T である場合、以下の式 (1) が成立つ。

$$I = I_0 \cdot W \cdots (1)$$

ここで、 I はチャンネル電流、 I_0 はゲート電圧で決定

$$I = 2 I_0 [nw + (n-1) T] + 2 I_0 \cdot T = I_0 (2W + 2T) \cdots (5)$$

したがって、本発明の三次元マルチチャンネル TF T のオン電流が、ダブルゲート型 TF T のオン電流より、2 T ほど増大し、シングルゲートよりは $W + 2 T$ ほど増大することがわかる。

【0035】ここで、 $T > d$ である場合、本発明による TF T のオン電流が大きく増加することがわかる。

【0036】したがって、本発明においては、チャンネルを三次元的に形成できて、同一面積 ($W \times L$) 内において高いチャンネルコンダクタンスを有することができ、TF T の所要面積を縮められるので、単位面積当り集積度を向上させて、液晶表示装置の高解像度を達成することに寄与できる。

【0037】この実施例においては、サブ半導体層の厚さ T と W とが有効チャンネル厚さ t より大きい場合について説明したが、 T 、 W あるいは T および W がチャンネル厚さ t 程度に薄い場合においても、チャンネルコンダクタンスが増大される。このときには、ゲート電極に加わったゲート電位が、上部ゲートに印加される電圧と下部ゲートに印加される電圧の合成で表われるため、ゲート電位の上昇効果で、オン電流が増大するようになる。

(実施例 2) 次に、図 8 および図 9 ないし図 1 4 を参照して、本発明に従う実施例 2 を説明する。

【0038】図 8 は、三次元マルチチャンネル構造を有する TF T に関する概略斜視図である。同図に示すように、この実施例はマルチチャンネル型であって、各チャンネル毎に 4 面が、ゲート絶縁膜を通じてゲートで取囲んだ三次元チャンネル構造を有する点において、実施例 1 と基本的な構造は同一である。ただし、異なるところは、ゲートが、実施例 1 においては上部および下部ゲートであり、ゲート絶縁膜により分離されているが、この実施例においては、ゲートが一体に形成されているということである。図 8 の説明は後述する。

される定数である。

【0032】また、ダブルゲート型 TF T である場合、以下の式 (2) が成立つ。

$$I = 2 I_0 \cdot W \cdots (2)$$

本発明による三次元マルチチャンネル TF T の場合、チャンネル幅 W を n 等分して、幅 w 、間隔 d でサブ半導体層をストリップ状に形成し、サブ半導体層の厚さを T と仮定すると、オン電流は、以下の式 (3) で表わされる。

$$I = 2 I_0 (w + T) \times n \cdots (3)$$

ここで、間隔 d と厚さ T とが同一であると、以下の式 (4) が成立つ。

$$I = 2 I_0 (nw + (n-1) T) \cdots (4)$$

$$W = nw + (n-1) d = nw + (n-1) T \cdots (4)$$

したがって、上記式 (3) は、以下の式 (5) で表わされる。

【0039】次に、図 8 に示す三次元マルチチャンネル TF T を製造する工程を、図 9 ないし図 1 4 を参照して説明する。

【0040】図 9 ないし図 1 4 は、図 8 の C - C' 線を基準にした断面図であり、便宜上、単に 2 つのチャンネルのみを有する場合を例に挙げて説明する。

【0041】図 9 において、基板としてはガラス基板、石英基板、非晶質あるいは結晶質基板のうちのいずれかの 1 つが用いられる。ただし、LCD 用としては、透光性のあるガラス基板あるいは石英基板を用いる。

【0042】まず、基板洗浄後、ガラス基板 8 0 上に、所定厚さの多結晶シリコン層 8 1 を、低圧化学気相蒸着法を用いて蒸着させる。蒸着された多結晶シリコン層 8 1 は、不純物が若干ドーピングされて導電性を有し、ゲート層としての役割を果たす。

【0043】次に、図 1 0 に示すように、前記多結晶シリコン層 8 1 の所定部位を、通常のフォトリソエッチング工程を用いて、チャンネル領域が形成される多数のトレンチを形成する。これらのトレンチは、相互並列に配置され、長さ方向に延長されている。このとき、前記トレンチは、反応性イオンエッチング法を用いて形成する。トレンチの形成後、絶縁層 8 2 を形成するため、前記多結晶シリコン層 8 1 を熱酸化させる。熱酸化条件は、1000℃、乾式酸素雰囲気で行なう。この方法で形成された絶縁層 8 2 は、 SiO_2 であり、その厚さはほぼ 0.1 μm 程度である。

【0044】その後、図 1 1 に示すように、チャンネル領域を形成するため、低圧化学気相蒸着法を用いて、多結晶シリコン層 8 3 を全面的に蒸着する。

【0045】次に、図 1 2 に示すように、前記多結晶シリコン層 8 3 と絶縁層 8 2 の一部とを、フォトリソエッチング工程にて除去して、多数の分離されたチャンネル領域

10

20

30

40

50

84を定義する。すなわち、前記多結晶シリコン層83のうち、トレンチの形成部分のみを残し、残りは除去する。

【0046】チャンネル領域の形成後、図13に示すように、前記図10と同一な方法にて、チャンネル領域84をなす多結晶シリコン層を、0.1 μ m程度熱酸化させる。次いで、チャンネル領域84を取囲んだゲート絶縁膜85を除いた基板80の上部の絶縁層を、フォトリソエッチングすることにより、前記チャンネル領域84を完全に取囲むゲート絶縁膜85を形成する。

【0047】次に、図14に示すように、不純物がドーパされた多結晶シリコンを、再び全面的に蒸着して、前記チャンネル領域84を完全に取囲むゲート86を形成する。

【0048】その後、図8に示すような構造を完成するため、各チャンネル領域84に連結される多数のオーミックコンタクト領域に全体的に接続されるソースおよびドレイン電極88を、左右側に形成する。

【0049】以上のような工程により、三次元マルチチャンネル構造を有する薄膜トランジスタが製作される。

【0050】前記三次元マルチチャンネル薄膜トランジスタを製造する工程は、前述した例にのみ限られるものではない。すなわち、実施例1のような上部および下部ゲートがゲート絶縁層に分離された場合には、ゲート絶縁層を各チャンネル毎各々に分離するためのエッチング工程が除去できる。さらに、本発明の思想にはずれない範囲内において、当業者により多くの変形例がなされることができる。たとえば、チャンネル領域の断面構造は、長方形、正四角形、円形あるいはその他の有効なチャンネル領域が確保できるある構造でも可能である。

【0051】

【発明の効果】以上のように、本発明の薄膜トランジスタは、三次元マルチチャンネル構造を採択することにより、電流駆動力が大きく向上したLCD用スイッチング素子であるばかりでなく、大きいオン電流が求められるカラムドライバのような周辺駆動回路においても、適用可能である。

【図面の簡単な説明】

【図1】従来の逆スタガ型TFTの断面図である。

【図2】従来の正スタガ型TFTの断面図である。

【図3】従来のダブルゲート型MOSFETの断面図である。

【図4】ゲート電圧とトランスコンダクタンスとの関係を示す図である。

【図5】本発明の実施例1に従う三次元マルチチャンネルTFTの平面図である。

【図6】図5のA-A'線断面図である。

【図7】図5のB-B'線断面図である。

【図8】本発明の実施例2に従う三次元マルチチャンネルTFTの斜視図である。

【図9】図8のC-C'線断面構造を有するTFTの製造工程を説明するための断面図である。

【図10】図8のC-C'線断面構造を有するTFTの製造工程を説明するための断面図である。

【図11】図8のC-C'線断面構造を有するTFTの製造工程を説明するための断面図である。

【図12】図8のC-C'線断面構造を有するTFTの製造工程を説明するための断面図である。

【図13】図8のC-C'線断面構造を有するTFTの製造工程を説明するための断面図である。

【図14】図8のC-C'線断面構造を有するTFTの製造工程を説明するための断面図である。

【符号の説明】

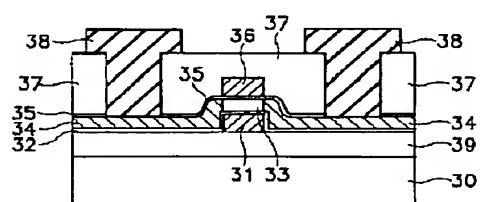
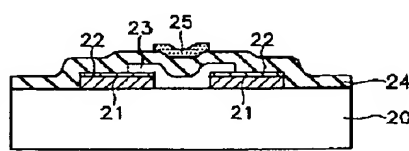
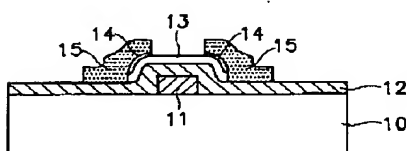
- 41 下部ゲート電極
- 42, 46, 85 ゲート絶縁膜
- 43, 84 チャンネル領域
- 44 オーミックコンタクト領域
- 45, 88 ソースドレイン電極
- 47 上部ゲート電極
- 80 ガラス基板
- 81, 83 多結晶シリコン層
- 82 絶縁層
- 86 ゲート

なお、各図中、同一符号は同一または相当部分を示す。

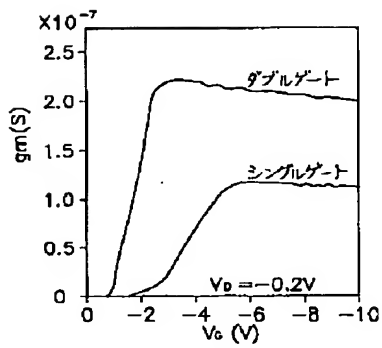
【図1】

【図2】

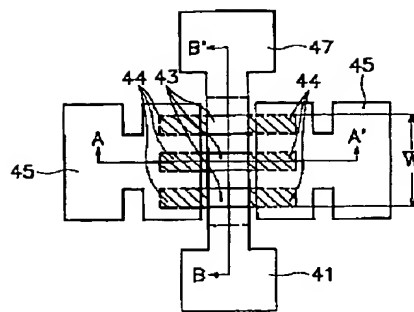
【図3】



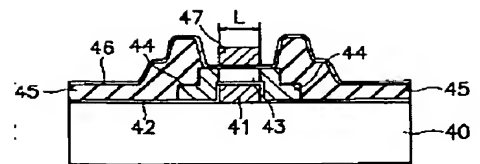
【図 4】



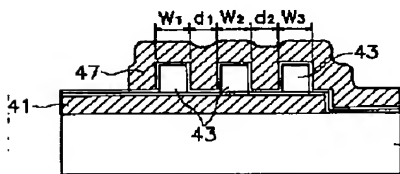
【図 5】



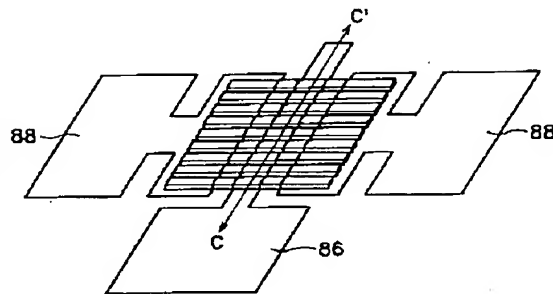
【図 6】



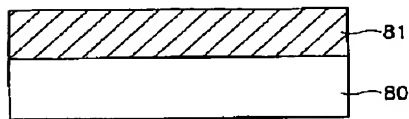
【図 7】



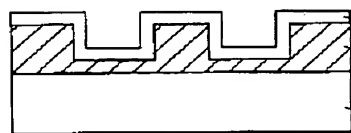
【図 8】



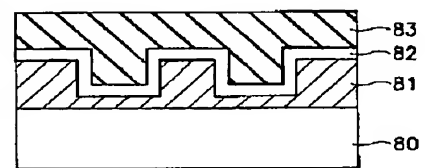
【図 9】



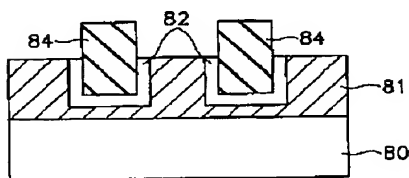
【図 10】



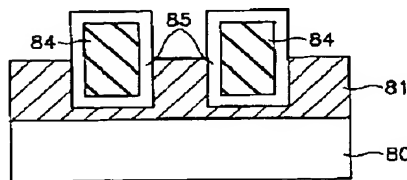
【図 11】



【図 12】



【図 13】



【図 14】

